

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011668

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G11C 16/02

G11C 16/06

(21)Application number : 10-170135

(71)Applicant : OKI MICRO DESIGN:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.06.1998

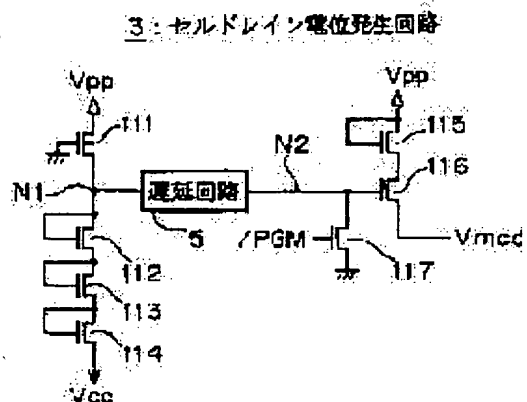
(72)Inventor : NAGATOMO MASAHIKO

(54) DATA WRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data writing circuit capable of stably writing predetermined data into a memory cell to be selected, while preventing wrong data from being written into a non-selected memory cell.

SOLUTION: A cell drain potential generating circuit 3 is composed of one P-channel transistor 111, six N-channel transistors 112, 113, 114, 115, 116, 117, and a delay circuit 5. A node N1 is connected to an input-side of the delay circuit, and a potential generated at the node N1 is delayed by a predetermined time period and then supplied to a node N2 at an output-side. A cell drain potential V_{mcd} as an output of the cell drain potential generating circuit is to be output from a source electrode of the N-channel transistor 116 controlled by the delay circuit. According to the above-mentioned configuration, the cell drain potential V_{mcd} is allowed to gently rise to a writing potential V_{pp}.



LEGAL STATUS

[Date of request for examination]

04.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-11668
(P2000-11668A)
(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int. Cl. ⁷	識別記号	F I	データード (参考)
G11C 16/02		G11C 17/00	611F 5B025
16/06			601Q
			634F

審査請求 未請求 請求項の数 7 OL (全 12 頁)

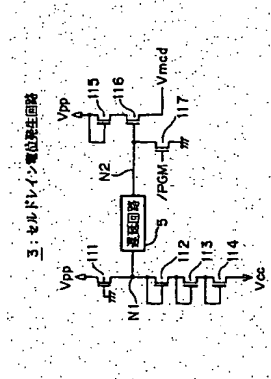
(21) 出願番号	特願平10-170135	(71) 出願人	591049893 株式会社 沖マイクロデザイン
(22) 出願日	平成10年6月17日 (1998. 6. 17)	(71) 出願人	000000285 宮崎県宮崎県清武町大字木原7083番地 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
		(72) 発明者	長友 雅彦 宮崎県宮崎県大和町9番2号 株式会社沖 マイクロデザイン宮崎内
		(74) 代理人	100095957 弁理士 亀谷 英明 (外2名) Fターム (参考) 5B025 AA01 AD04 AD15 AD15 AD16 AD18

(54) 【発明の名称】 データ書き込み回路

(57) 【要約】

【課題】 選択されるメモリセルに対して所定のデータを書き込むとともに、選択されていないメモリセルに対して割ったデータが書き込まれることのないデータ書き込み回路を提供する。

【解決手段】 セルドレイン電位発生回路3は、1個のPチャネル型トランジスタ111、6個のNチャネル型トランジスタ112、113、114、115、116、117、および遅延回路5から構成されている。ノードN1には、遅延回路の出力側が接続されており、ノードN2には発生する電位を所定の時間遅延させて出力側出力力であるセルドレイン電位Vmc dは、遅延回路の出力側であるセルドレイン電位Vmc dは、遅延回路に制御されるNチャネル型トランジスタ116のソース電極から出力されることになる。かかる構成によれば、セルドレイン電位Vmc dは、書き込み電位Vppまで緩やかに立ち上がることになる。



【特許請求の範囲】

【請求項1】 メモリセルへの所定のデータの書き込みの際に、前記メモリセルを構成するトランジスタの第1電極電位発生回路において、前記第1電極電位発生回路は、前記所定の電位の立ち上がり時間を遅延させる遅延回路を備えたことを特徴とするデータ書き込み回路。

【請求項2】 前記第1電極電位発生回路は、前記メモリセルへ所定のデータの書き込みの際にデータ書き込み電位を出力するトランジスタを備え、前記遅延回路は、前記トランジスタを制御する制御信号を遅延させることを特徴とする請求項1に記載のデータ書き込み回路。

【請求項3】 前記第1電極電位発生回路は、前記メモリセルへ所定のデータの書き込みの際にデータ書き込み電位を出力するトランジスタを備え、前記遅延回路は、前記トランジスタから出力される前記データ書き込み電位の立ち上がり時間を遅延させることを特徴とする請求項1に記載のデータ書き込み回路。

【請求項4】 複数のメモリセルから成るメモリセルアレイと、前記複数のメモリセルへの所定のデータの書き込みの際に、前記複数のメモリセルを構成するトランジスタの第1電極電位発生回路を構成する第1電極電位発生回路と、前記第1電極電位発生回路を構成するトランジスタと、前記第1電極電位発生回路を構成するトランジスタを制御する制御信号を遅延させる遅延回路を備えたことを特徴とするデータ書き込み回路。

【請求項5】 さらに前記制御回路は、所定の信号によつて前記制御電位を所定のレベルに固定する電位レベル固定手段を備えたことを特徴とする請求項4に記載のデータ書き込み回路。

【請求項6】 前記所定の信号は、前記複数のメモリセルへの所定のデータの書き込みの際にアクティブとなるワンショットパルス信号であることを特徴とする請求項5に記載のデータ書き込み回路。

【請求項7】 前記所定の信号は、前記複数のメモリセルへの所定のデータの書き込みが禁止されている間アクティブとなることを特徴とする請求項5に記載のデータ書き込み回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置、特にEPROM (Erasable Programmable Read Only Memory) またはOTPROM (One Time Programmable Read Only Memory) 等のデータ書き込み回路に関するものである。

【0002】

【従来の技術】 EPROM、OTPROM (以下、「ROM」という。) に備えられた従来のデータ書き込み回路101を図12に示す。このデータ書き込み回路101は、m+1本のセルドレイン線D1.0〜D1.mから一セルドレイン線を選択するためのm+1個のセルドレイン線選択トランジスタDTr0〜DTrmを備えたサブアレイをn+1個有する、いわゆるサブアレイ方式のROMに適用されるものである。

【0003】 n+1個のサブアレイSA0〜SA nは、相互に隣接して構成されており、それぞれm+1個のセルドレイン線選択トランジスタDTr0〜DTrmおよび(m+1)×(n+1)個のメモリセルMC00〜MCmnから構成されている。

【0004】 セルドレイン電位発生回路103は、セルドレイン電位Vmc dを各サブアレイSA0〜SA nに備えられたm+1個のセルドレイン線選択トランジスタDTr0〜DTrmのドレイン電極に対して供給するよう構成されている。

【0005】 また、各サブアレイSA0〜SA nにはサブアレイドライバ104-0〜104-nが接続されており、各サブアレイドライバ104-0〜104-nは、サブアレイ選択信号ASL0〜ASL nに対して所定の電位を出力可能に構成されている。

【0006】 各サブアレイSA0〜SA nに備えられたメモリセルMC00〜MCmnは、マトリクス状に配置されており、これらのメモリセルMC00〜MCmnを構成するトランジスタの各ゲート電極は、行毎に電気的に共通化されワード線WL0〜WL nに接続されている。また、これらの各ドレイン電極は、列毎に電気的に共通化されセルドレイン線D1.0〜D1.mに接続されている。さらに、各ソース電極は、列毎に電気的に共通化されセルソース線SL0〜SL mに接続されている。

【0007】 各セルソース線SL0〜SL mの一端は、セルソース線選択トランジスタSTr0〜ST r mのドレイン電極に接続されている。また、セルソース線選択トランジスタST r0〜ST r mのソース電極は、電気的に共通化されトランジスタ105のドレイン電極に接続されている。このトランジスタ105は、インバータゲート107を介して入力される制御信号Dinによつてオン/オフ制御可能とされている。そして、セルソース線選択トランジスタST r0〜ST r mは、各ゲート電極に入力されるカラム選択信号Y0〜Ymによつて所定のゲート電極が選択される。

【0008】 次に、セルドレイン電位発生回路103の回路構成について説明する。このセルドレイン電位発生回路103は、図13に示すように、1個のPチャネル型トランジスタ111、および6個のNチャネル型トランジスタ112、113、114、115、116、117から構成されている。

【0009】 Pチャネル型トランジスタ111のソース

電極には、書き込み電位 V_{pp} (例えば、1.0V) が印加され、ゲート電極には、グラント電位 GND が印加されている。ドレイン電極はノード $N101$ に接続されている。Nチャネル型トランジスタ 112 、 113 、 114 は、直列3段のダイオード結合を構成しており、1段目のカソードにはノード $N101$ が接続され、3段目のアノードには電源電位 V_{cc} (例えば、4V) が印加されている。すなわち、Nチャネル型トランジスタ 112 、 113 、 114 は、基準電位発生回路としての役割を果たすものである。また、Nチャネル型トランジスタ 115 は、ダイオード結合を成すものである。カソードとなるドレイン電極およびゲート電極には書き込み電位 V_{pp} が印加され、アノードとなるソース電極には、Nチャネル型トランジスタ 116 のドレイン電極が接続されている。また、Nチャネル型トランジスタ 117 は、そのドレイン電極がノード $N101$ に接続され、ソース電極にはグラント電位 GND が印加され、ゲート電極に入力される書き込み制御信号 /PGMによってオン/オフ制御される。そして、Nチャネル型トランジスタ 116 のゲート電極は、ノード $N101$ が接続されており、セルドレイン電位発生回路 103 の出力であるセルドレイン電位 V_{mc} である。このNチャネル型トランジスタ 116 のソース電極は出力されることになる。

[0010] 次に、サブアレイドライバ $104-0 \sim 104-n$ について説明する。このサブアレイドライバ $104-0 \sim 104-n$ は、相互に隣接した回路構成を有しており、ここでは代表的にサブアレイドライバ $104-n$ を用いて説明する。サブアレイドライバ $104-n$ は、図14に示すように、2段のインバータゲート 121 、 122 、および2個の二重放電型トランジスタ 123 (以下、「Dトランジスタ」という。) 123 、 124 から構成されている。インバータ 121 およびインバータ 122 は、直列に接続されており、アドレス信号 An をDトランジスタ 123 のドレイン電極に供給するものである。

[0011] そして、Dトランジスタ 123 は、書き込み制御信号 /PGMによって制御され、インバータ 121 およびインバータ 122 を介して入力されたアドレス信号 An をノード $N102$ へ供給するように構成されている。また、Dトランジスタ 124 は、ダイオード構成を成すものであり、カソードとしてのドレイン電極およびゲート電極には、書き込み電位 V_{pp} が印加されており、アノードとしてのソース電極は、ノード $N102$ に接続されている。そして、ノード $N102$ からサブアレイ選取信号線 $ASLn$ に対して所定の電位が印加されるように構成されている。

[0012] 以上のような構成を有する従来のデータ書き込み回路 101 の動作について、図15を参照しつつ説明する。まず、所定のメモリセルに対して所定のデータを書き込む場合、アドレス信号 $A0 \sim An$ に従い、サ

ブアレイドライバ $104-0 \sim 104-n$ は、サブアレイ選取信号線 $ASL0 \sim ASLn$ に対して所定の電位を出力し、これによって $n+1$ 個のサブアレイ $SA0 \sim SAn$ の中から一のサブアレイ、例えばサブアレイ $SA0$ が選択されることになる。また、所定のデータを書き込むためにセルドレイン電位発生回路 103 は、セルドレイン電位 V_{mc} として、(電源電位 V_{cc}) $+2 \times$ (Nチャネル型トランジスタのスレショルド電位 V_{th}) n を出力する。そして、このように選択されたサブアレイ $SA0$ に書き込まれた複数のメモリセル $MC00 \sim MCnm$ の中の一、例えばメモリセル $MC00$ にデータを書き込むために、対応するワード線 $WL0$ をアクティブとし、カラム選択信号 $Y0$ をアクティブとする。

[0013] 具体的に説明すると、サブアレイ $SA0$ に属するメモリセル $MC00$ を選択しデータを書き込む場合には、サブアレイ $SA0$ に対応するサブアレイ選取信号線 $ASL0$ に対してグラント電位 GND を印加する。なお、データの読み出し時においては、サブアレイ $SA0 \sim SAn$ の一を選択するためのサブアレイ選取信号線 $ASL1 \sim ASLn$ の一は、電源電位 V_{cc} とされ、その他は、グラント電位 GND とされる。

[0014] 選択されたメモリセル $MC00$ に対して、Lレベルのデータを書き込む場合、制御信号 DIn によってトランジスタ 105 がオン状態とされ、これによってメモリセル $MC00$ を構成するトランジスタのソース電極にはグラント電位 GND が印加されることになる。また、ゲート電極には書き込み電位 V_{pp} (1.0V) が印加され、ドレイン電極には、(書き込み電位 V_{pp}) $+2 \times$ (Nチャネル型トランジスタのスレショルド電位 V_{th}) $n \approx 6V$ が印加される。なお、ここではNチャネル型トランジスタのスレショルド電位 V_{th} は、1Vとする。以上のように所定の電位が印加されたメモリセル $MC00$ を構成するトランジスタのフローティングゲートには、アバランシェ降伏により発生するホットエレクトロンが注入され、結果的にメモリセル $MC00$ に対してLレベルのデータが書き込まれることになる。これに対して、制御信号 DIn によってトランジスタ 105 がオフ状態とされると、メモリセル $MC00$ を構成するトランジスタのソース電極は、フローティング状態とされるために、アバランシェ降伏が生じることはなく、フローティングゲートには、ホットエレクトロンが注入され

ず、結果的にメモリセル $MC00$ に対してHレベルのデータが書き込まれることになる。

[0015] [発明]が解決しようとする課題] ところで、近年、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセルを増加させるとともに、サブアレイの数を増加させる傾向にある。これに伴い各セルソース線 $SL0 \sim SLm$ が延長されることになり、かかるセルソース線 $SL0 \sim SLm$ の容量成分の増加につながる。このように、セルソース線 $SL0 \sim SLm$ によって生じる容量成分は、以下の問題をもちたすおそれがあった。

[0016] 所定のメモリセル、例えば、サブアレイ $SA0$ に属するメモリセル $MC00$ に対してHレベルのデータが書き込まれる際、そのメモリセル $MC00$ に対応するワード線 $WL0$ に接続されている他のメモリセル $MC01 \sim MC0m$ に対して本来書き込まねばならないLレベルのデータが書き込まれる場合があった。詳述すれば、メモリセル $MC01 \sim MC0m$ に対応するセルソース線選択トランジスタ $STr1 \sim STrm$ がオフでありセルソース線 $SL1 \sim SLm$ がフローティング状態とされているものの、セルソース線 $SL1 \sim SLm$ の容量成分が大きいためにメモリセル $MC01 \sim MC0m$ を構成する各トランジスタに過渡的な電流が流れて、メモリセル $MC01 \sim MC0m$ を構成するトランジスタのフローティングゲートに対してホットエレクトロンが注入され、スレショルド電圧が上昇し、また動作最低電源電圧 V_{ccmin} が上昇するなどして、結果的にメモリセル $MC01 \sim MC0m$ に対して書き込まれるべきではないLレベルのデータが書き込まれるおそれがあった。

[0017] 以上のような現象は、所定のメモリセル、例えばメモリセル $MC00$ に対してHレベルのデータを書き込む場合であっても同様に起こり得た。すなわち、この場合、制御信号 DIn によってトランジスタ 105 は、オフ状態とされており、全てのセルソース線 $SL0 \sim SLm$ がフローティング状態とされているものの、セルソース線 $SL0 \sim SLm$ の容量成分が大きいためにメモリセル $MC00 \sim MC0m$ を構成する各トランジスタに過渡的な電流が流れてしまう。この電流によって、本来、Hレベルのデータが書き込まれるメモリセル $MC00$ に対して、Lレベルのデータが書き込まれてしまい、さらにその他のメモリセル $MC01 \sim MC0m$ に対して書き込まれるべきではないLレベルのデータが書き込まれるおそれがあった。

[0018] 本発明は、上記のような問題点を鑑みてなされたものであり、その目的は半導体記憶装置の大容量化を目的としてメモリセルの増加があった場合であっても、選択されるメモリセルに対して所定のデータを安定的に書き込むとともに、選択されていないメモリセルに

対して誤ったデータが書き込まれることのない新規かつ改良されたデータ書き込み回路を提供することにある。

[0019] [課題を解決するための手段] 上記課題を解決するため、メモリセルへの所定のデータの書き込みの際に、メモリセルを構成するトランジスタの第1電極に対して所定の電位を供給する第1電極電位発生回路を備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路に属した第1電極電位発生回路は、請求項1に記載のように、所定の電位の立ち上がり時間を遅延させる遅延回路を備えたことを特徴とする。かかる構成によれば、メモリセルを構成するトランジスタの第2電極側に寄生的に容量成分が形成された場合であっても、第1電極に所定の電位が急激に印加されることはなく、メモリセルに対する過渡的な電流の流れ込みを防止することが可能となる。この過渡的な電流は、データの書き込みがなされないメモリセルに対してデータの誤書き込みが生じるものであるために、本発明によれば、誤書き込みのないデータ書き込み回路が実現されることになる。

[0020] そして、請求項1に記載のデータ書き込み回路において、請求項2に記載のように、第1電極電位発生回路は、メモリセルへ所定のデータを書き込む際にデータ書き込み電位を出力するトランジスタを備え、遅延回路は、このトランジスタを制御する制御信号を遅延させるよう構成することが可能である。また、請求項3に記載のように第1電極電位発生回路は、メモリセルへ所定のデータを書き込む際にデータ書き込み電位を出力するトランジスタを備え、遅延回路は、トランジスタから出力される前記データ書き込み電位の立ち上がり時間を遅延させるよう構成することも可能である。かかる構成によれば、遅延回路を簡易な回路構成、例えば抵抗素子、容量素子などで構成することが可能となり、データ書き込み回路の規模増大を抑えることが可能である。

[0021] さらに、上記の課題を解決するために、複数のメモリセルから成るメモリセルアレイと、複数のメモリセルへの所定のデータの書き込みの際に、複数のメモリセルを構成するトランジスタの第1電極に対して所定の電位を供給する第1電極電位供給トランジスタと、第1電極電位供給トランジスタを制御する制御回路とを備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路に属した制御回路は、請求項4に記載のように、第1電極電位供給トランジスタの動作を制御する制御電位の出力を遅延させる遅延回路を備えたことを特徴とする。かかる構成によれば、メモリセルを構成するトランジスタの第2電極側に寄生的に容量成分が形成された場合であっても、第1電極電位供給トランジスタの動作によって第1電極に対して所定の電位を漸次印加することが可能となり、メモリセルへの過渡的な電流の流れ込みの防止が可能となる。この過渡的な電流は、データの書き込みがなされないメモリセルに対し

て、データの誤番込を生じさせるものであるために、本発明によれば、誤番込の少ないデータ書き込み回路が実現されることになる。

【00022】さらに請求項4に記載のデータ書き込み回路に換えられた制御回路に対して、請求項5に記載のように、所定の信号によって制御電位を所定のレベルに固定する電位レベル固定手段を設けるようにしてもよい。かかる構成によれば、第1電極電位供給トランジスタの動作を制御する制御電位の初期レベルが一定とされたため、制御電位による第1電極電位供給トランジスタの動作が安定化され、メモリセルを構成するトランジスタの第1電極への所定の電位の印刷にかかる時間を任意の値に調整することが可能となる。そして、請求項6に記載のように所定の信号は、複数のメモリセルへの所定のデータの書き込みの順にアクティブとなるウィンショットパルス信号としてもよく、また、複数のメモリセルへの所定のデータの書き込みが禁止されている間アクティブとなる信号とすることも可能である。

【00023】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかるの好適な実施の形態について詳細に説明する。なお、以下の説明において、略同一の機能および構成を有する構成要素については、同一符号を付すことにより、重複説明を省略することになる。

【00024】(第1の実施の形態)本発明の第1の実施の形態にかかるデータ書き込み回路1を図1に示す。このデータ書き込み回路1は、従来のデータ書き込み回路101に対して、セルドレイン電位発生回路103がセルドレイン電位発生回路3に置き換えられた構成を有するものである。

【00025】セルドレイン電位発生回路3は、セルドレイン電位Vmc dを各サブアレイSA0～SAnに換えられたm+1個のセルドレイン線選択トランジスタDTr0～DTrmのドレイン電極に対して供給するように構成されている。

【00026】また、各サブアレイSA0～SAnにはサブアレイドライバ104～0～104-nが接続されており、各サブアレイドライバ104～0～104-nは、サブアレイ選択信号ASL0～ASLnの電位を所定の値に調整する機能を行なうものである。

【00027】各サブアレイSA0～SAnに換えられたメモリセルMC00～MCnmは、マトリクス状に配置されており、メモリセルMC00～MCnmを構成するトランジスタの各ゲート電極は、行毎に電氣的に共通化されワード線WL0～WLnに接続されている。また、これらの各ドレイン電極は、列毎に電氣的に共通化されセルドレイン線DL0～DLmに接続されている。さらに、各ソース電極は、列毎に電氣的に共通化されソース線SL0～SLmに接続されている。

【00028】各セルソース線SL0～SLmの終端は、

セルソース線選択トランジスタSTr0～STTrmのドレイン電極に接続されている。また、セルソース線選択トランジスタSTr0～STTrmのソース電極は、電氣的に共通化されトランジスタ105のドレイン電極に接続されている。このトランジスタ105は、インバータゲート107を介して入力される制御信号DInによってオン/オフ制御可能とされている。そして、セルソース線選択トランジスタSTTr0～STTrmは、各ゲート電極に入力されるカラム選択信号Y0～Ymによって所定の1が選択される。

【00029】次に、セルドレイン電位発生回路3の回路構成について説明する。このセルドレイン電位発生回路3は、図2に示すように、従来のセルドレイン電位発生回路103に対して、遅延回路5が追加された構成を有するものである。すなわち、1個のPチャネル型トランジスタ111、6個のNチャネル型トランジスタ112、113、114、115、116、117、および遅延回路5から構成されている。

【00030】Pチャネル型トランジスタ111のソース電極には書き込み電位Vpp(例えば、10V)が印刷され、ゲート電極にはグラント電位GNDが印刷され、ドレイン電極は、ノードN1に接続されている。一方、Nチャネル型トランジスタ112、113、114は、直列3段のダイオード結合を構成しており、1段目のカソードにはノードN1が接続され、3段目のアノードには電源電位Vcc(例えば、4V)が印刷されている。すなわち、Nチャネル型トランジスタ112、113、114は、基序電位発生回路としての役割を果たすものである。

【00031】ノードN1には、遅延回路5の入力側が接続されており、ノードN1に発生する電位を所定の時間遅延させて出力側のノードN2に供給する。この遅延回路5については、抵抗素子や容量素子、またはそれらの組み合わせで実現されるいわゆるCR回路により構成される。

【00032】Nチャネル型トランジスタ115は、ダイオード構成を成すものであり、カソードとなるドレイン電極およびゲート電極には書き込み電位Vppが印刷されている。また、Nチャネル型トランジスタ117のドレイン電極は、ノードN2に接続されており、ソース電極にはグラント電位GNDが印刷され、ゲート電極に力される書き込み制御信号/PGMによって制御可能とされている。Nチャネル型トランジスタ116のゲート電極にはノードN2が接続され、ドレイン電極には、ダイオードのアノードとしてのNチャネル型トランジスタ115のソース電極が接続されている。そして、このセルドレイン電位発生回路103の出力であるセルドレイン電位Vmc dは、Nチャネル型トランジスタ116のソース電極から出力されることになる。

【00033】ここで、第1の実施の形態にかかるデータ

書き込み回路1に換えられたセルドレイン電位発生回路3から出力されるセルドレイン電位Vmc dおよびサブアレイドライバ104～0～104-nから出力されるサブアレイ選択信号ASLnに印刷される電位について図3を用いて説明する。なお、図3中、実線は第1の実施の形態にかかるデータ書き込み回路1におけるセルドレイン電位Vmc d、およびサブアレイ選択信号ASLnの電位を示し、破線は従来のデータ書き込み回路101におけるセルドレイン電位Vmc dを示す。

【00034】書き込み制御信号/PGMがHレベルの時、すなわちデータ書き込み禁止状態の時、Nチャネル型トランジスタ117は、オン状態とされ、これによってNチャネル型トランジスタ116はオフ状態とされ、セルドレイン電位Vmc dは、フローティング状態とされる。

【00035】その後、書き込み制御信号/PGMがLレベル、すなわちデータ書き込み状態となった時、ノードN1には、(電源電位Vcc)+2x(Nチャネル型トランジスタのスレショルド電圧Vtn)が印刷されることになる。そして、ノードN1における電位の上昇は、遅延回路5によって所定の時間後、Nチャネル型トランジスタ116のゲートに伝達されることになる。このため、セルドレイン電位Vmc d(実線)は、従来の(点線)に比べて緩やかに立ち上がることになる。

【00036】このように、第1の実施の形態にかかるデータ書き込み回路1によれば、データの書き込み動作開始時に、セルドレイン電位Vmc dが従来のそれよりも遅めに立ち上がるため、セルソース線SL0～SLmの容量成分に対して充電が緩やかに行われることに一値が低減され、選択されていないメモリセルにおけるホットエレクトロンの発生を抑制し、結果的に非選択メモリセルへのデータの誤番込が防止されることになる。

【00037】(第2の実施の形態)第2の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路101に対してサブアレイドライバ104～0～104-nがサブアレイドライバ4～0～4-nに置き換えられた構成を有するものであり、その他の構成は、略同一とされている。

【00038】また、サブアレイドライバ4～0～4-nは、相互に略同一の構成を有しており、ここでは、サブアレイドライバ4-nを用いて説明する。このサブアレイドライバ4-nは、図4に示すように、従来のデータ書き込み回路101に換えられたサブアレイドライバ104～0～4-nに対して、遅延回路7が追加された構成を有するものである。すなわち、サブアレイドライバ4-nは、2個のインバータゲート121、122、2個のドランジスタ123、124、および遅延回路7から構成されている。インバータ121およびインバータ12

2は、直列に接続されており、アドレス信号Anをドランジスタ123のドレイン電極に供給するものである。なお、遅延回路7については、抵抗素子や容量素子、またはそれらの組み合わせであるいわゆるCR回路により構成される。

【00039】そして、ドランジスタ123は、書き込み制御信号/PGMによって制御されインバータ121およびインバータ122を介して入力されたアドレス信号AnをノードN3へ供給するように構成されている。また、ドランジスタ124は、ダイオード構成を成すものであり、カソードとしてのドレイン電極およびゲート電極には、書き込み電位Vppが印刷されており、ノードとしてのソース電極は、遅延回路7の入力側に接続されている。この遅延回路7の出力側は、ノードN3に接続されている。そして、ノードN3からは、サブアレイ選択信号ASL0～ASLnに対して所定の電位が出力されるように構成されている。

【00040】以上の構成を有する第2の実施の形態にかかるデータ書き込み回路の動作、特に特徴的なサブアレイドライバ4-nについて図5に基づいて説明する。このサブアレイドライバ4-nは、データ書き込み動作開始において、書き込み電位Vppをサブアレイ選択信号ASLnに対して印刷するように構成されている。したは、従来の(点線)に比べて緩やかに立ち上がることは、(サブアレイ選択信号ASLnの電位)である。ところで、セルドレイン線DLnの電位(実線)は、(サブアレイ選択信号ASLnの電位)～(セルドレイン線選択トランジスタDTr0～DTrmのスレイン線電位)以上にはならないため、図5に示すようにサブアレイ選択信号ASLnの電位の立ち上がりに応じて、従来の(点線)に比べて緩やかに立ち上がるようになる。

【00041】以上のように、第2の実施の形態にかかるデータ書き込み回路によれば、データ書き込み開始直後のサブアレイ選択信号ASLnの電位の立ち上がりともセルドレイン線DLnの立ち上がりとともに緩やかに立ち上がるため、第1の実施の形態にかかるデータ書き込み回路1と同様な効果が得られるとともに以下に示す他の効果が得られることになる。従来、データの書き込み開始直後には、サブアレイ選択信号ASL0～ASLnの電位は、比較的急峻に立ち上がったため、その際書き込み電位Vppからグラント電位GNDに対する電流の流れ込みが生じていた。この電流は、全てのメモリセルMC00～MCnmのフローティングゲートに対してホットエレクトロンが注入される原因となり得るものであり、これによるデータの誤番込が生じるおそれがあった。かかる問題に因して、第2の実施の形態にかかるデータ書き込み回路によれば、データの書き込み直後のサブアレイ選択信号ASLnの電位は緩やかに立ち上がるようになるため、選択されていないサブアレイに

おける書き込み電位Vppからグラランド電位GNDに對する電流の流れは低減され、結果的にデータの誤差防止が可能となる。

【00042】ところで、第2の実施の形態にかかるデータ書き込み回路に対して、第1の実施の形態にかかるデータ書き込み回路1に備えられたセルドレイン電位発生回路3を適用することが可能である。この場合のデータ書き込み回路の動作について図6に基づいて説明する。

【00043】ここで、セルドレイン電位発生回路3に備えられた遅延回路5およびサブアレイドライバ4～nに備えられた遅延回路7において、データ書き込み直後のセルドレイン電位Vmc dの立ち上がり時間をサブアレイ選択信号線ASLnの電位の立ち上がり時間と比べて短くなるように設定する。この調整によって以下の効果もたらされる。

【00044】かかる調整がなされた場合のサブアレイ選択信号線ASLnの電位およびセルドレイン線DLnの電位の状態を図6に示す。セルドレイン線DLnの電位は、セルドレイン電位Vmc dが（選択信号線ASLnの電位）－（セルドレイン線選択トランジスタDr0～Dr mのスレショルド電位）に達するまでセルドレイン電位発生回路3によって制御され、それを以上になるとサブアレイドライバ4～nによって制御されることになる。すなわち、セルドレイン線DLnの電位の立ち上がり時間を2段階に調整することが可能となる。具体的に、まずメモリセルMC00～MCnmにおいてホットエレクトロンが生成されずフローティングゲートへの注入が起きるまではセルドレインDLnの電位の立ち上がりを時間を短くし、その後アバランシンスン降伏が生じる直前か緩やかに立ち上げることと、かかる調整によれば、メモリセルMC00～MCnmに對して、データの誤差防止がされるとともに、データの書き込み速度の高速化にも貢献することになる。

【00045】（第3の実施の形態）第3の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路101に對してサブアレイドライバ104～0～104～nがサブアレイドライバ8～0～8～nに置き換えられた構成を有するものであり、その他の構成は、略同一とされている。

【00046】また、サブアレイドライバ8～0～8～nは、相互に略同一の構成を有しており、ここでは、これらの構成・機能についてサブアレイドライバ8～nを用いて説明する。このサブアレイドライバ8～nは、サブアレイドライバ4～nに對して、インバータゲート121がNANDゲート9に置き換えられた構成を有するものである。すなわち、サブアレイドライバ8～nは、図7に示すように、NANDゲート9、インバータゲート122、2個のドトランジスタ123、124、および遅延回路7から構成されている。

【00047】NANDゲート9の一方の入力端子には、

込みは、より確実に防止され、データの誤差防止が防止されることになる。

【00051】ところで、上述のサブアレイドライバ8～0～8～nにおいて、NANDゲート9に入力されるプリセット信号PRSTに代えて、図9に示すように、書き込み禁止信号/PINHを用いるようにしてもよい。この書き込み禁止信号/PINHは、半導体記憶装置に對してデータの書き込みが禁止されている間は、1レベルとされた信号であり、これによってサブアレイ選択信号線ASLnの電位は、データの書き込みが禁止されている間グラランド電位GNDに保持されることになる。その後、データの書き込みが開始されたときにサブアレイ選択信号線ASLnの電位は、緩やかに立ち上がっていくことになる。したがって、選択されていないメモリセルへのデータの誤差防止が防止されることになる。また、サブアレイドライバ8～nに對して、書き込み禁止信号/PINHを適用することによって、サブアレイ選択信号線ASLnの電位の立ち上がり開始がデータ書き込み開始に一致することになるため、データ書き込みに割り当てられる時間を有効に利用することが可能となる。

【00052】（第4の実施の形態）第4の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路101に對して、セルドレイン電位発生回路103がセルドレイン電位発生回路11に置き換えられた構成を有するものである。

【00053】以下、セルドレイン電位発生回路11について、図11を参照しつつ説明する。セルドレイン電位発生回路11は、従来のデータ書き込み回路101に備えられたセルドレイン電位発生回路103に對して、遅延回路13が追加された構成とされている。すなわち、1個のPチャネル型トランジスタ111、6個のNチャネル型トランジスタ112、113、114、115、116、117、および遅延回路13から構成されている。なお、セルドレイン電位発生回路11に備えられた遅延回路13については、抵抗素子や容量素子、またはそれらの組み合わせであるいわゆるCR回路により構成される。

【00054】Pチャネル型トランジスタ111のソース電極には書き込み電位Vpp（例えば、10V）が印加され、ゲート電極にはグラランド電位GNDが印加され、ドレイン電極は、ノードN11に接続されている。一方、Nチャネル型トランジスタ112、113、114は、直列3段のダイオード結合を構成しており、1段目のカソードにはノードN11が接続され、3段目のアノードには電源電位Vcc（例えば、4V）が印加されている。すなわち、Nチャネル型トランジスタ112、113、114は、非電位発生回路としての役割を果たすものである。

【00055】Nチャネル型トランジスタ115は、ダイ

オード構成を成すものであり、カソードとなるドレイン電極およびゲート電極には書き込み電位Vppが印加されている。また、Nチャネル型トランジスタ117のドレイン電極は、ノードN11に接続されており、ソース電極にはグラランド電位が印加され、ゲート電極に入力される書き込み制御信号/PGMによって制御可能とされている。Nチャネル型トランジスタ116のゲート電極にはノードN11が接続され、ドレイン電極には、ダイオードのアノードとしてのNチャネル型トランジスタ115のソース電極が接続され、ソース電極には、遅延回路13の出力電位が接続されている。そして、このセルドレイン電位発生回路11の出力、すなわちセルドレイン電位Vmc dは、遅延回路13の出力側から出力されることになる。

【00056】以上の構成から成る第4の実施の形態にかかるデータ書き込み回路は、第1の実施の形態にかかるデータ書き込み回路1が有する効果の他、次の効果を有する。第1の実施の形態にかかるデータ書き込み回路1に備えられたセルドレイン電位発生回路3の場合、遅延回路5がNチャネル型トランジスタ116のゲート電極に接続されているが、第4の実施の形態にかかるデータ書き込み回路に備えられたセルドレイン電位発生回路1の遅延回路13は、Nチャネル型トランジスタ13のソース電極に接続されている。したがって、第4の実施の形態にかかるデータ書き込み回路によれば、Nチャネル型トランジスタ11は、データの書き込み動作が終了するタイミングに同期して書き込み電位Vppにあるセルドレイン電位Vmc dをフローティング状態とすることになる。かかる動作によって、書き込み電位Vppから各サブアレイSA0～SA nに対する貫通電流を低減させることが可能となり、第4の実施の形態にかかる形態にかかると消費電力の低減に寄与することになる。

【00057】以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範囲内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【00058】例えば、第1の実施の形態にかかるデータ書き込み回路に對して、サブアレイドライバ4～0～4～n、またはサブアレイドライバ8～0～8～nを用いることも可能であり、また第4の実施の形態にかかるデータ書き込み回路において、セルドレイン電位発生回路11に對して、サブアレイドライバ4～0～4～n、またはサブアレイドライバ8～0～8～nを適用することも可能である。

【00059】

（発明の効果）以上説明したように、本発明によれば、メモリセルに対するデータの書き込み開始時において、

所定のデータを書き込むメモリセル以外のメモリセルにおけるアバランシェ降伏現象を防止することが可能となり、かかるメモリセルに対するデータの群書き込みが防止される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるデータ書き込み回路の回路図である。

【図2】図1のデータ書き込み回路に備えられたセルドライン電位発生回路の回路図である。

【図3】図1のデータ書き込み回路の動作を示す波形成図である。

【図4】本発明の第2の実施の形態にかかるデータ書き込み回路に備えられたサブアレイドライバの回路図である。

【図5】本発明の第2の実施の形態にかかるデータ書き込み回路の動作を示す波形成図である。

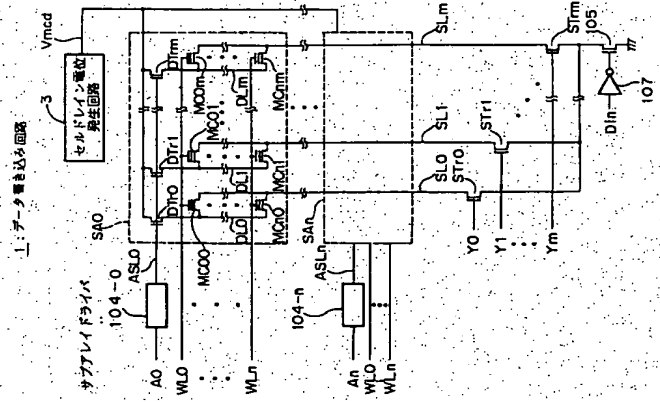
【図6】本発明の第2の実施の形態にかかるデータ書き込み回路の動作を示す波形成図である。

【図7】本発明の第3の実施の形態にかかるデータ書き込み回路に備えられたサブアレイドライバの回路図である。

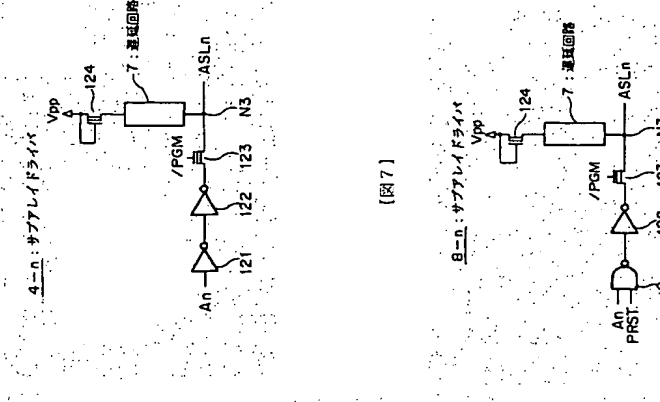
【図8】本発明の第3の実施の形態にかかるデータ書き込み回路の動作を示す波形成図である。

【図9】本発明の第3の実施の形態にかかるデータ書き込み回路に備えられたサブアレイドライバの回路図である。

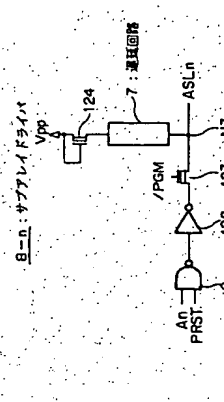
【図1】



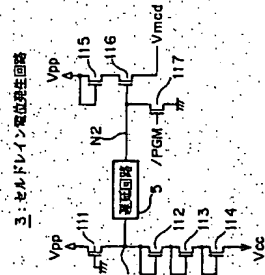
【図4】



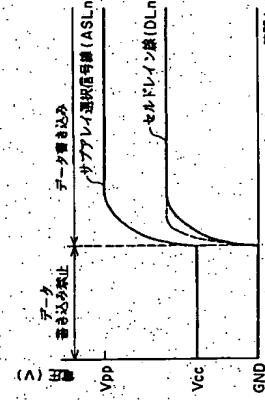
【図7】



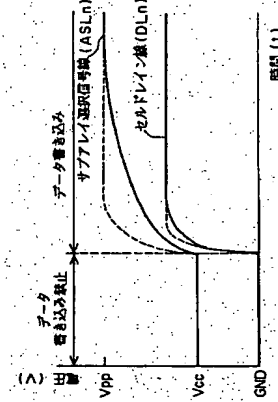
【図2】



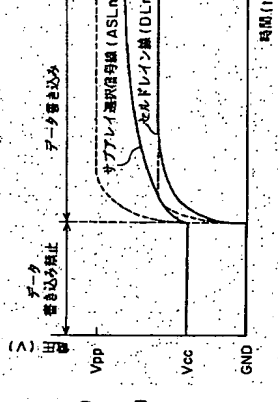
【図3】



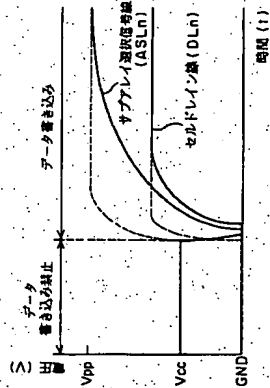
【図5】



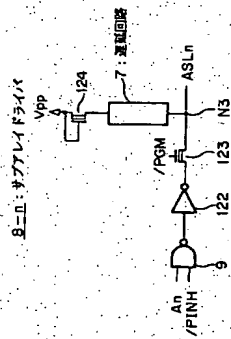
【図6】



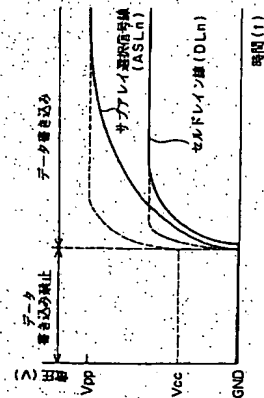
【図8】



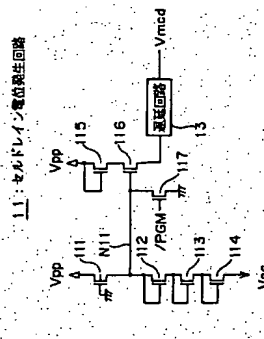
【図9】



【図10】

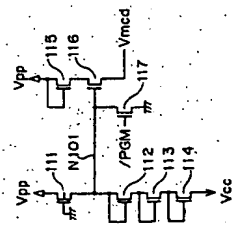


【図11】



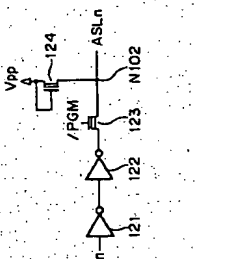
【図13】

103: セルドレイン線発生回路

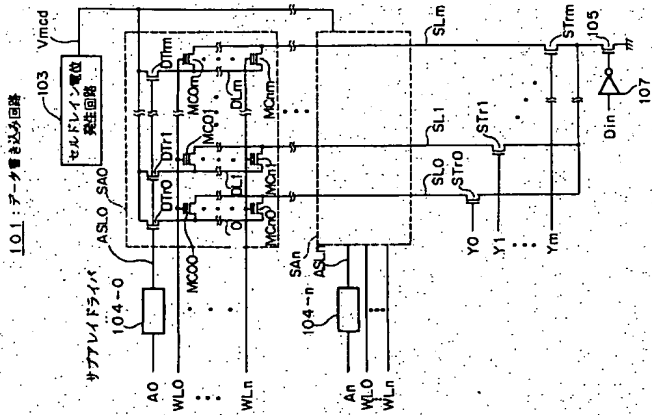


【図14】

104-n: サブアレイドライバ



【図12】



【図15】

